



重慶大學
CHONGQING UNIVERSITY

Verilog程序设计快速入门

-组合电路Verilog实例解析

林英撑

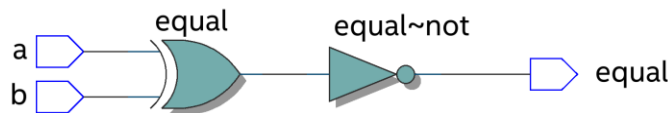
组合电路Verilog实例解析—实例1

```
1 module compare1(equal,a,b); //文件名compare1.v
2 //声明模块名字,标识模块开始,同时给出端口信号列表
3 input a,b; //声明端口方向
4 output equal; //声明端口方向
5 assign equal = (a==b)? 1 : 0;
6 //利用assign语句和条件运算符实现数值比较和赋值
7 //a等于b时,equal输出为1;a不等于b时,equal输出为0
8 endmodule //声明模块结束
```

知识点:

- 1、Verilog以模块的形式构建电路;
- 2、Verilog程序文件名需要和模块名一致;
- 3、Verilog模块端口信号需要指定方向;
- 4、assign持续赋值语句和条件运算符。

与类似功能的C程序有什么不同?



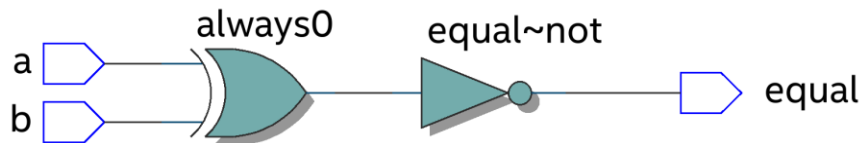
综合生成电路

组合电路Verilog实例解析—实例2

```
1  module compare2(equal,a,b); //文件名compare2.v
2  input a,b;
3  output equal;
4  reg equal; //声明equal为寄存器型, 未声明的a,b默认为wire
5      always @(a or b) //always过程语句, 指定a、b为敏感信号,
6          //a或b发生变化会出发过程运行
7          if(a==b) //a等于b时, equal输出为1;
8              equal = 1;
9          else //a不等于b时, equal输出为0。
10             equal = 0; //思考: 如果不写else 部分会产生什么逻辑?
11 endmodule
```

新增知识点:

- 1、了解与对比Verilog中的wire与reg两种信号类型;
- 2、always过程中敏感信号量含义;
- 3、if...else...语句只能在过程内使用;
- 4、阻塞 (blocking) 赋值符号 “=”。



综合得到与上例完全相同的电路

组合电路Verilog实例解析—实例3

```
1 // Quartus Prime Verilog Template
2 // Unsigned Adder
3
4 module unsigned_adder //声明模块名字, 并标识模块开始
5 #(parameter WIDTH=16) //声明参数, 并给定默认值
6 (
7     input [WIDTH-1:0] dataa, //声明输入端口, 并给定位宽
8     input [WIDTH-1:0] datab, //声明输入端口, 并给定位宽
9     input cin, //声明输入端口, 位宽为1位
10    output [WIDTH:0] result //声明输出端口, 并给定位宽
11 );
12
13    assign result = dataa + datab + cin;
14 //利用assign语句和加法运算符实现加法和赋值
15 endmodule //声明模块结束
16
```

新增知识点:

- 1、模块取名规范与规则;
- 2、参数的使用方法和用途。

能尝试编写一个4选1的数据选择器吗?

组合电路Verilog实例解析—知识点补充

1、Verilog是大小写相关的,其中的关键字全部为小写;

2、Verilog中信号位的4种逻辑状态:

0: 低电平、逻辑0或“假”

1: 高电平、逻辑1或“真”

x或X: 不确定或未知的逻辑状态

z或Z: 高阻态

(注: 未知和高阻不分大小写)

3、Verilog中wire与reg两种信号类型对比;

4、过程与持续赋值语句的关系。

| 信号类型 | wire | reg |
|--------|--------------------|----------------------|
| 赋值效果 | 直通 | 触发后赋值 |
| 物理等效 | 物理连线 | 寄存器 (综合结果不一定为寄存器) |
| 赋值语句搭配 | 持续赋值语句 (assign) | 过程赋值语句 (always) |
| 无驱动时状态 | Z | X |

THANK YOU !



重慶大學
CHONGQING UNIVERSITY



重慶大學
CHONGQING UNIVERSITY

Verilog程序设计快速入门

-Quartus Prime软件基本使用

林英撑

Quartus Prime软件基本使用-软件下载

软件版本:

Quartus Prime 17.0 精简版

下载地址 (注册后可下载) :

<https://www.intel.cn/content/www/cn/zh/software/programmable/quartus-prime/download.html>

软件包内容:

Select All

Quartus Prime Lite Edition (Free)

Quartus Prime (includes Nios II EDS)

大小 : 1.7 GB MD5: F95E47F859713C3C6DD59A94A9FC5E43

ModelSim-Intel FPGA Edition (includes Starter Edition)

大小 : 1.1 GB MD5: B3E4A6C66187D19BFF976FFB3566D967

Devices

您必须至少为一个器件系列安装器件支持才能使用Quartus Prime软件。

Arria II device support

大小 : 499.6 MB MD5: BDFCC96CB847AADEA46B8FF4E5E1A0B6

Cyclone IV device support

大小 : 466.6 MB MD5: F36179518284561D5FAE66CF5B4748BC

Cyclone 10 LP device support

大小 : 266.1 MB MD5: D0726B51AEFF72E88BCCD629A2C2A23

Cyclone V device support

大小 : 1.1 GB MD5: 978CC235B50DA9BCC95C709EDADE4503

MAX II, MAX V device support






大小 : 11.4 MB MD5: CD9DC70DB8AFF4616DCFA7BBFD9BBD74

MAX 10 FPGA device support

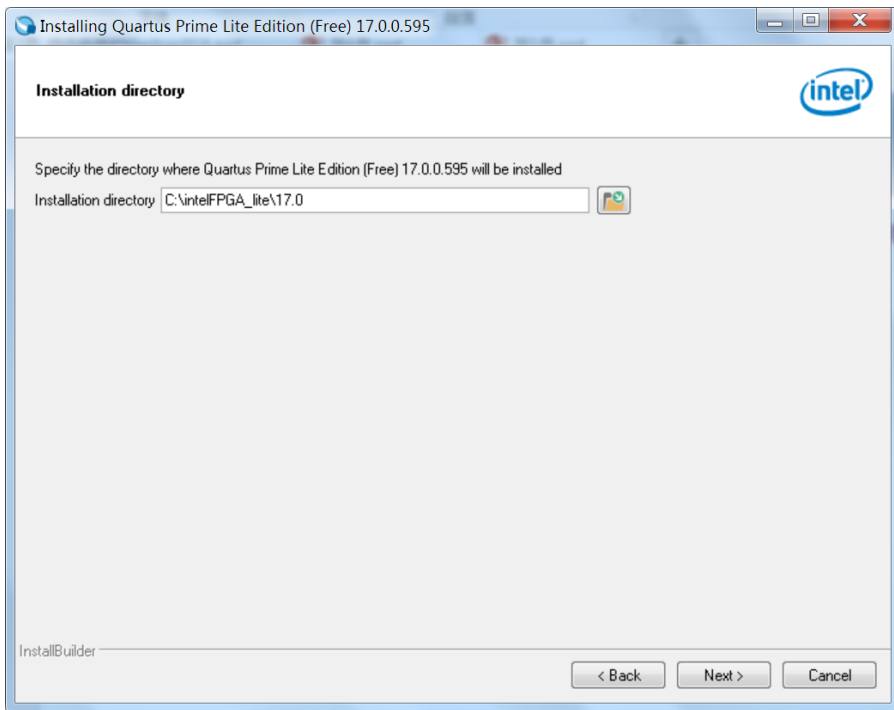
大小 : 325.1 MB MD5: A5499E644D470EC0609AF1B4E69CEB83

Quartus Prime软件基本使用-软件安装

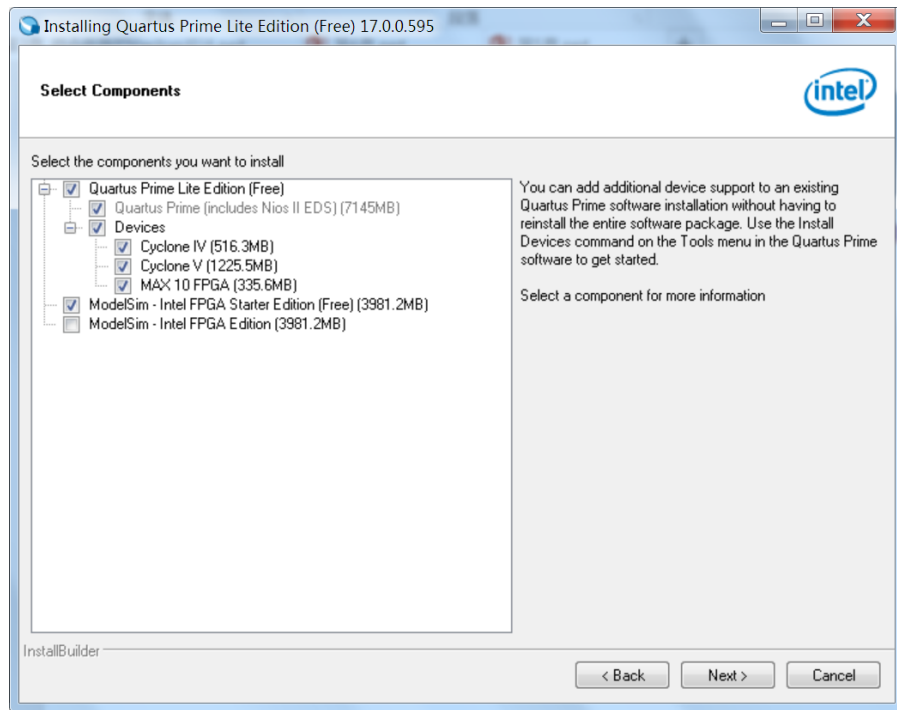
软件包和器件库应放在同一文件夹下。双击
“QuartusLiteSetup” 即可开始安装。

-  cyclone-17.0.0.595.qdz
-  cyclonev-17.0.0.595.qdz
-  max10-17.0.0.595.qdz
-  ModelSimSetup-17.0.0.595-windows.exe
-  **QuartusLiteSetup-17.0.0.595-windows.exe**

Quartus Prime软件基本使用-软件安装

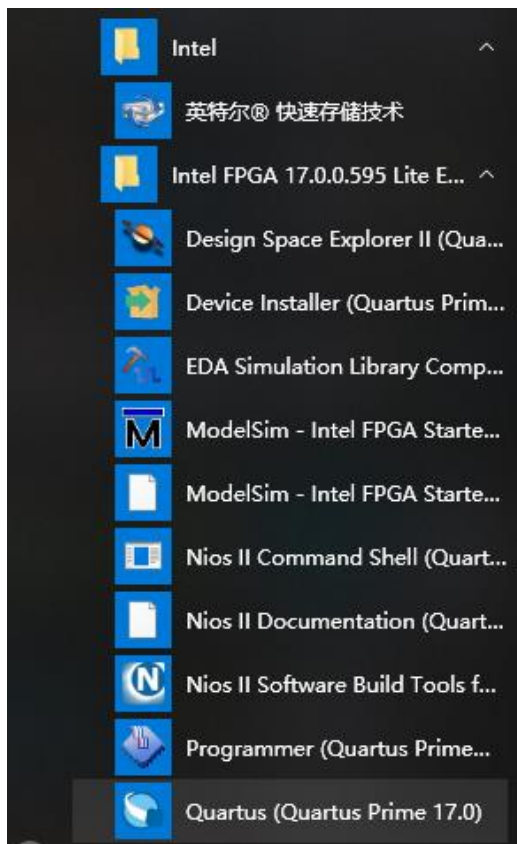


指定安装路径（建议按默认路径，
C盘空间不足可修改到其它盘）



自动选择了安装包所在文件夹
下的各个组件

Quartus Prime软件基本使用-软件安装



完成安装后可通过开始菜单或桌面快捷图标打开软件

Quartus Prime软件基本使用-界面介绍

The image shows the Quartus Prime Lite Edition software interface. The main window is titled "Home" and displays "Recent Projects" with a list containing "TEST.qpt (E:/TEST/TEST.qpt)". Below this, there are buttons for "New Project Wizard" and "Open Project". A row of utility buttons includes "Compare Editions", "Buy Software", "Documentation", "Training", "Support", "What's New", and "Notifications".

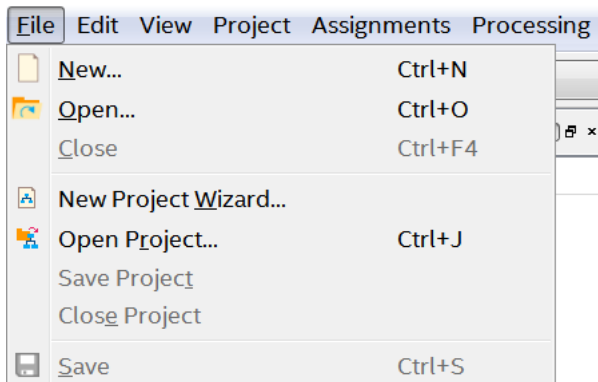
Annotations in yellow boxes with red arrows point to various parts of the interface:

- 菜单及快捷菜单区域** (Menu and Quick Menu Area): Points to the top menu bar and toolbar.
- 工程导航窗口** (Project Navigation Window): Points to the Project Navigator on the left side.
- 工作进度指示窗口** (Work Progress Indicator Window): Points to the Tasks pane on the left side.
- 软件欢迎向导页面** (Software Welcome Wizard Page): Points to the central "Home" area.
- IP窗口** (IP Window): Points to the IP Catalog on the right side.
- 信息提示窗口** (Information提示 Window): Points to the Messages pane at the bottom.

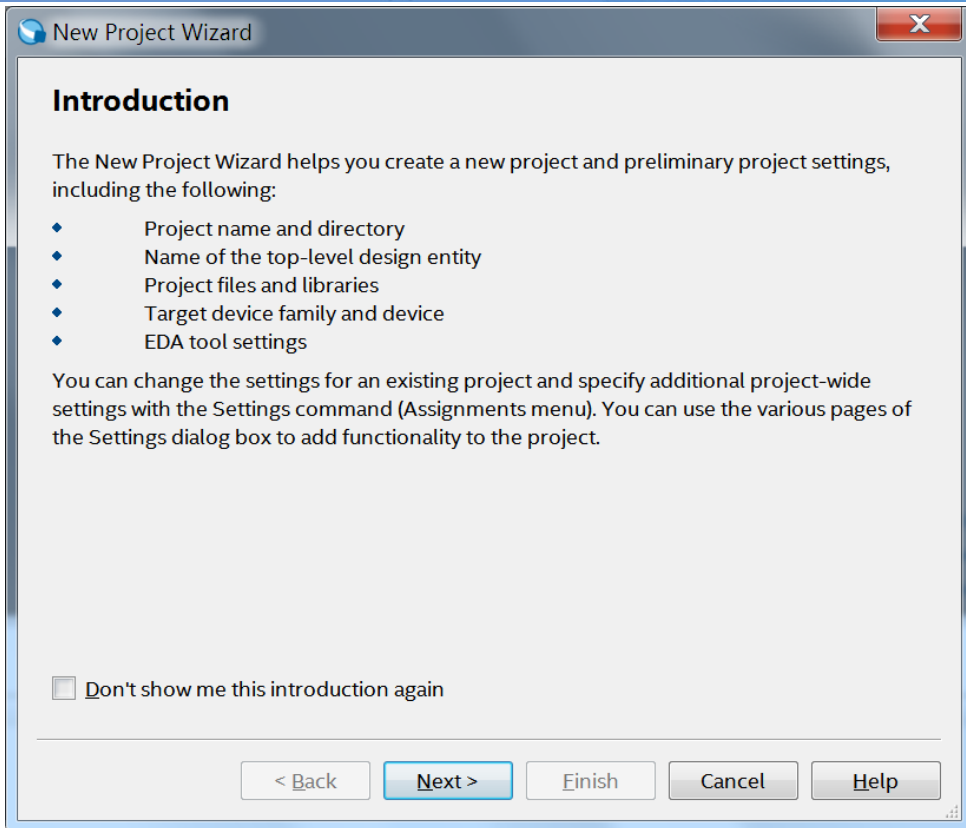
The Messages pane at the bottom shows a table with columns "Type", "ID", and "Message". The System Processing message is visible.

The IP Catalog on the right shows the "Device Family" set to "Cyclone V (E/GX)" and lists installed IP components under "Project Directory" and "Library".

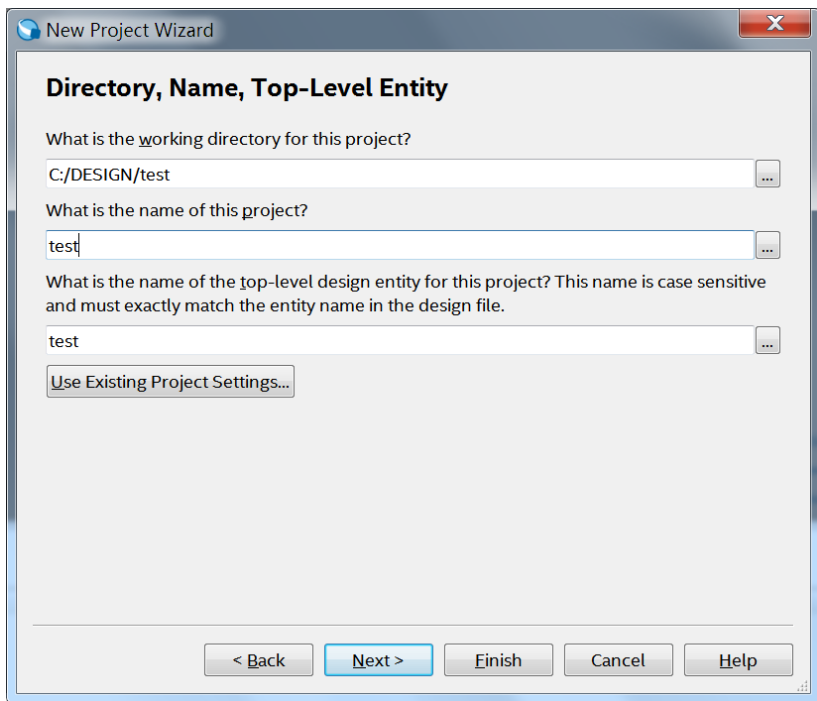
Quartus Prime软件基本使用-新建工程



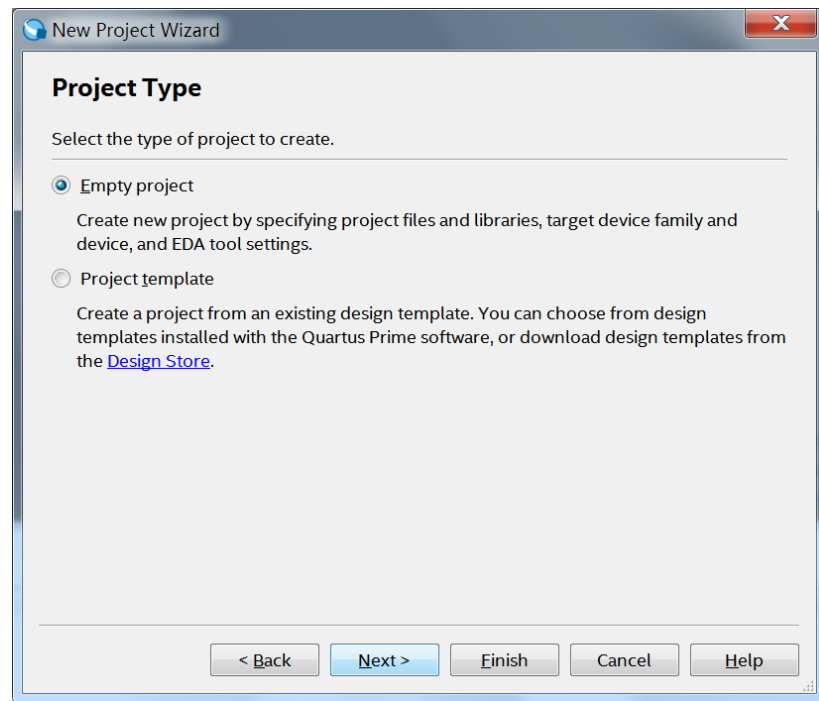
点击“File”菜单下的“New Project Wizard...”新建工程



Quartus Prime软件基本使用-新建工程

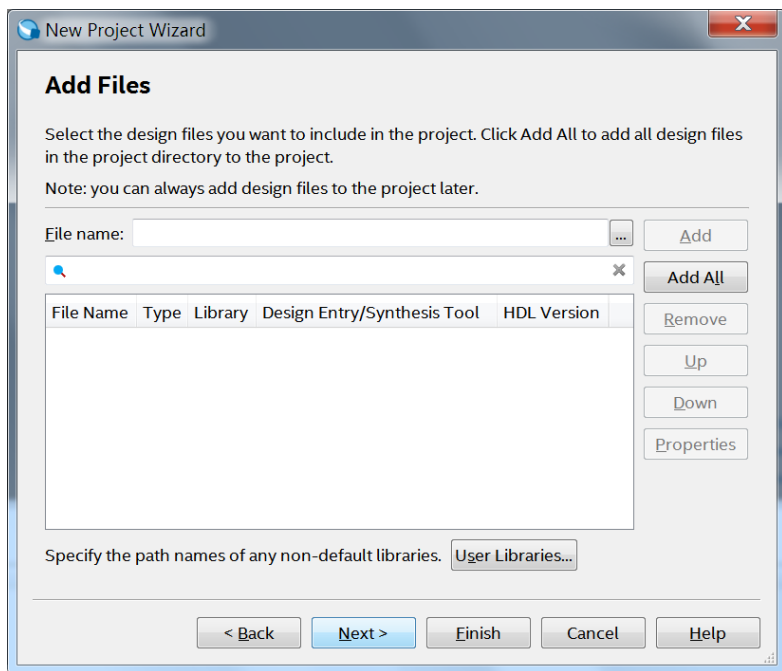


指定工程路径、工程名字及顶层设计实体名
(注意路径和命名满足规则：字母开头、可跟数字或下划线、不以下划线结尾)

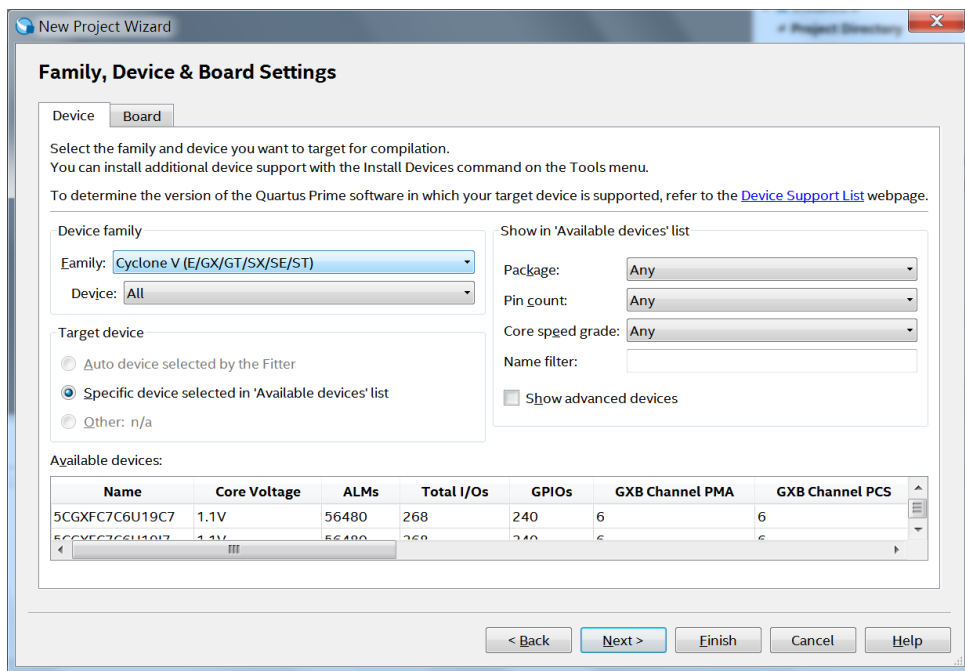


工程类型选择
(选择“空工程”)

Quartus Prime软件基本使用-新建工程



添加工程需要调用的已有设计文件
(可跳过)



选择目标器件的系列、型号和使用的板卡
(无需板上调试可随意指定)

Quartus Prime软件基本使用-新建工程

EDA Tool Settings

Specify the other EDA tools used with the Quartus Prime software to develop your project.

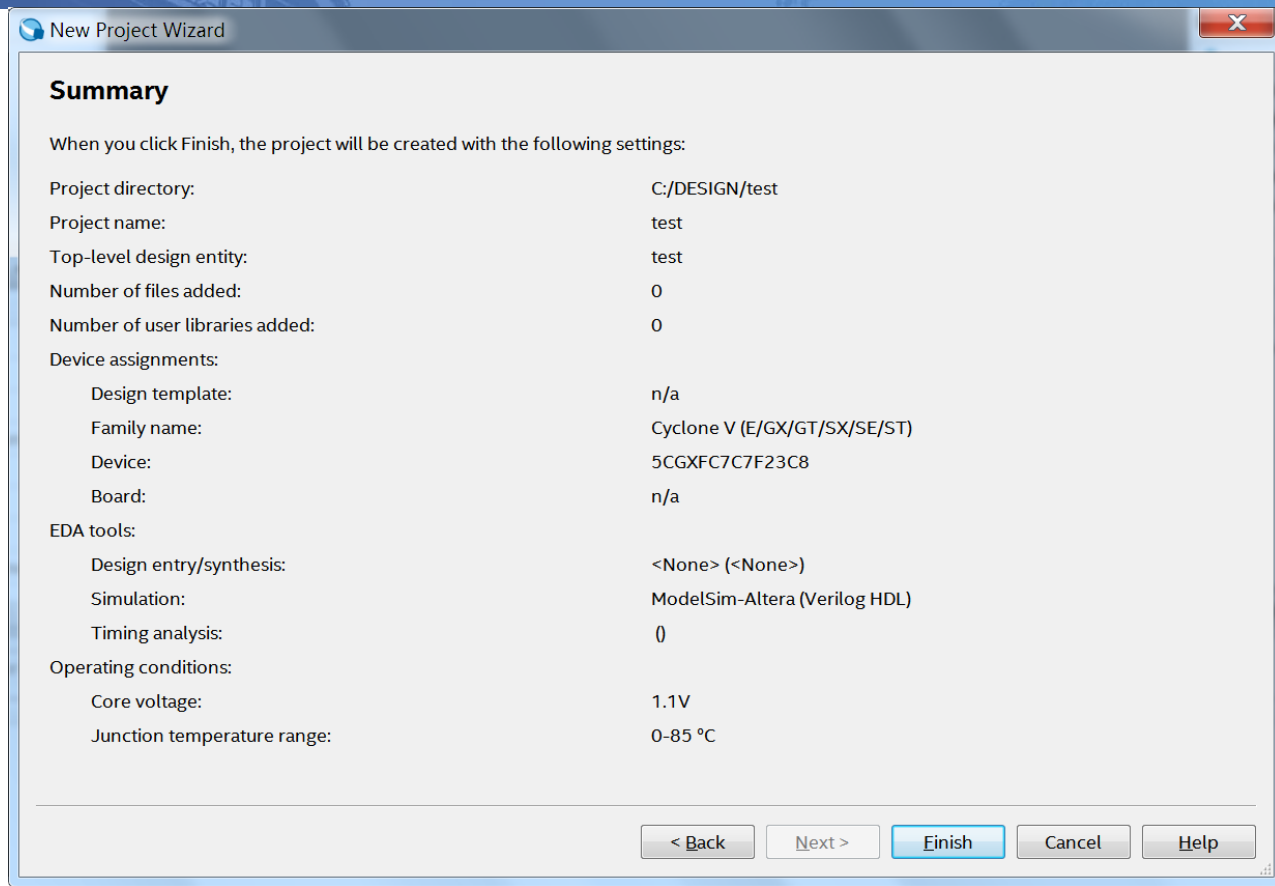
EDA tools:

| Tool Type | Tool Name | Format(s) | Run Tool Automatically |
|----------------|------------------|-------------|---|
| Design Entr... | <None> | <None> | <input type="checkbox"/> Run this tool automatically to synthesize the current design |
| Simulation | ModelSim-Altera | Verilog HDL | <input checked="" type="checkbox"/> Run gate-level simulation automatically after compilation |
| Board-Level | Timing | <None> | |
| | Symbol | <None> | |
| | Signal Integrity | <None> | |
| | Boundary Scan | <None> | |

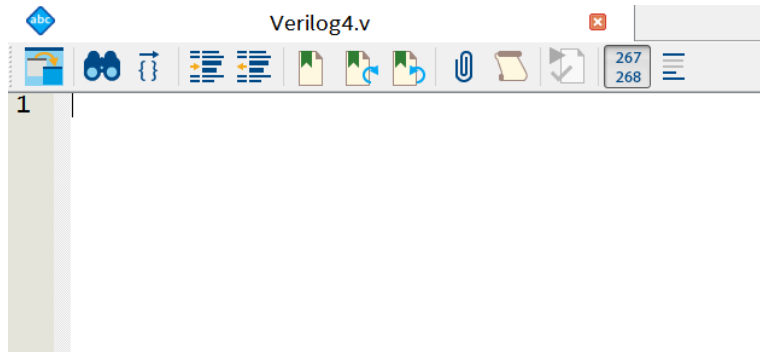
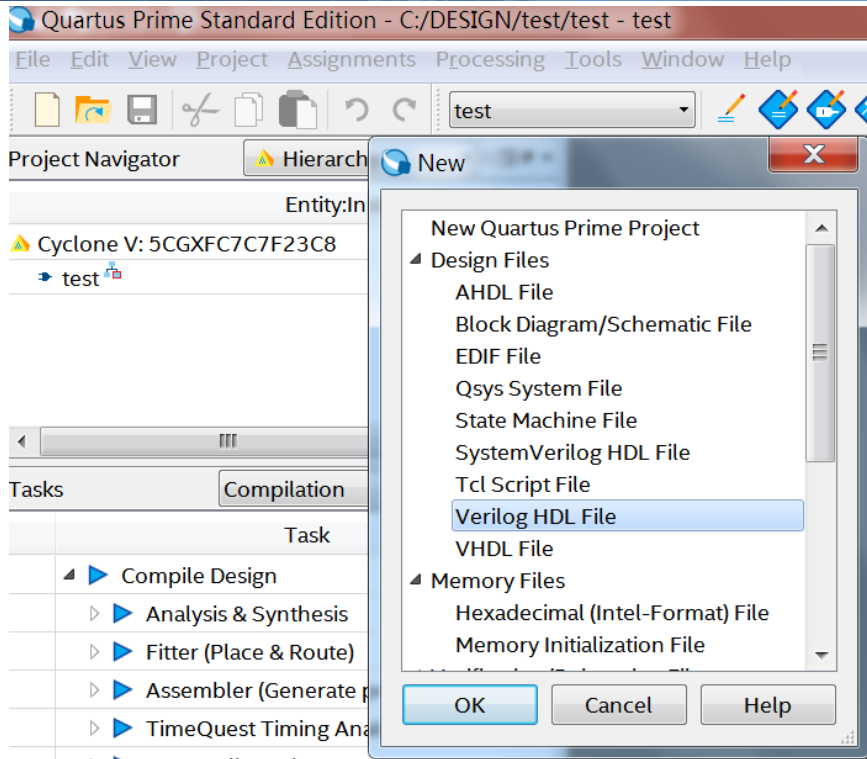
< Back Next > Finish Cancel Help

设置EDA工具（此处“Simulation”项选择“ModelSim-Altera”，其他项默认“None”使用Quartus自带组件）

Quartus Prime软件基本使用-新建工程



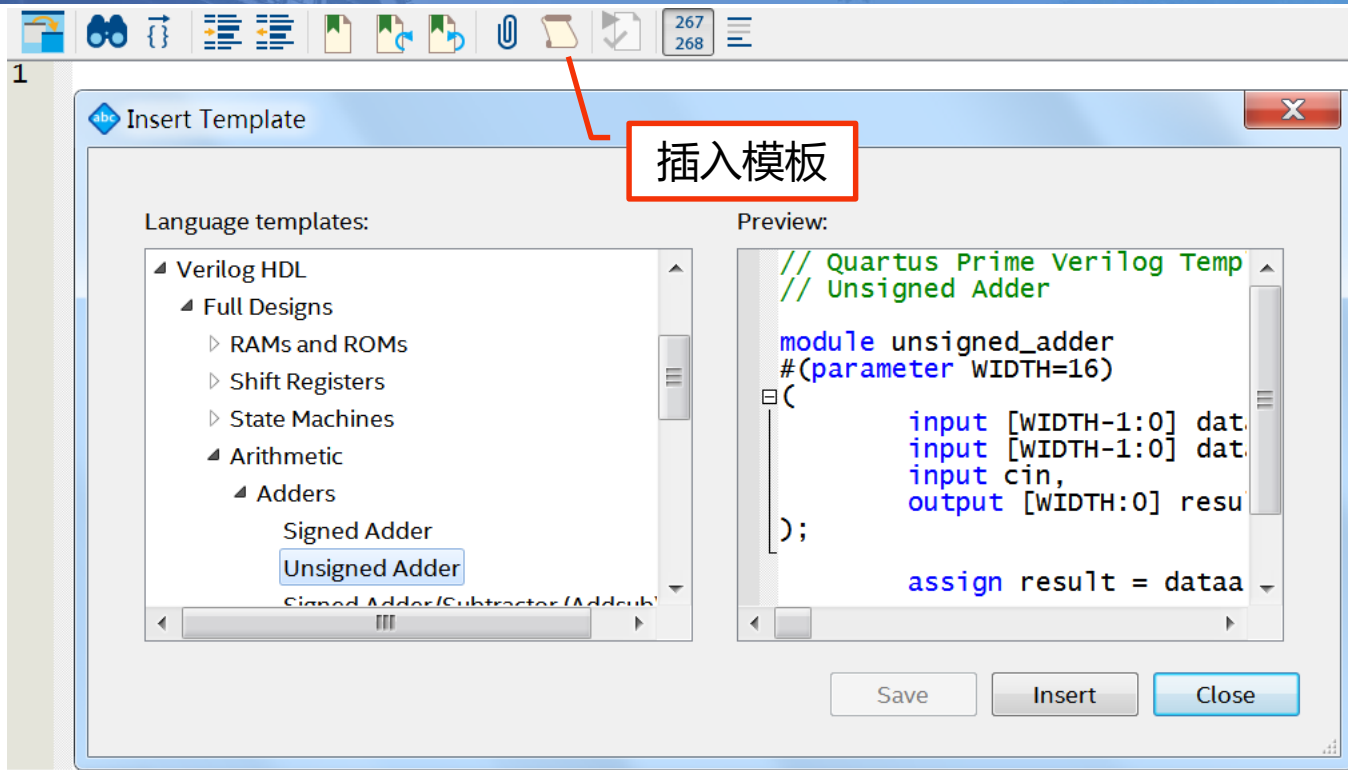
Quartus Prime软件基本使用-新建Verilog文件



新建得到的
扩展名为.v文件打开界面

点击“File”菜单下的“New...”子菜单，选择设计文件中的“Verilog HDL File”新建Verilog文件

Quartus Prime软件基本使用-插入模板程序



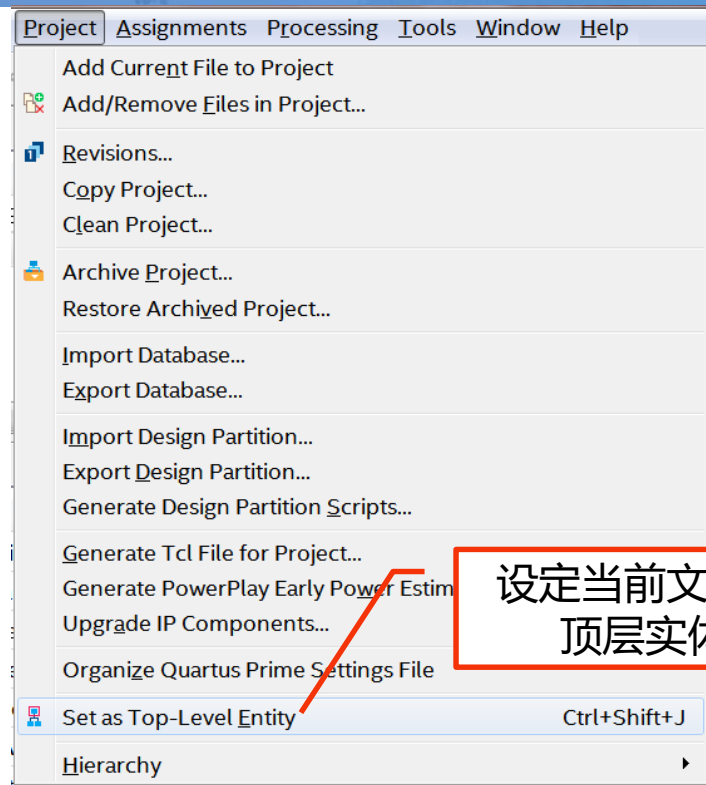
点击如图插入模板快捷图标，选择一个完整的Verilog设计代码
(如图选择的是一个无符号加法器)

Quartus Prime软件基本使用-插入模板程序

```
1 // Quartus Prime Verilog Template
2 // Unsigned Adder
3
4 module unsigned_adder
5 #(parameter WIDTH=16)
6 (
7     input [WIDTH-1:0] dataa,
8     input [WIDTH-1:0] datab,
9     input cin,
10    output [WIDTH:0] result
11 );
12
13    assign result = dataa + datab + cin;
14
15 endmodule
```

模块名与文件名
务必一致

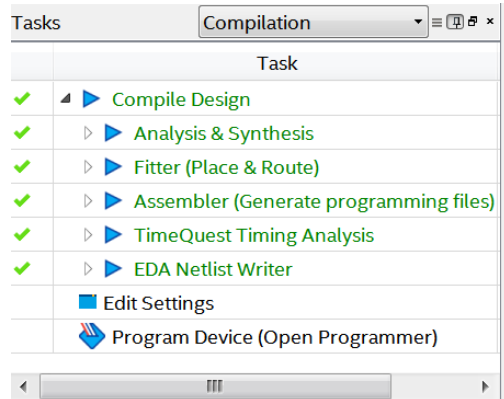
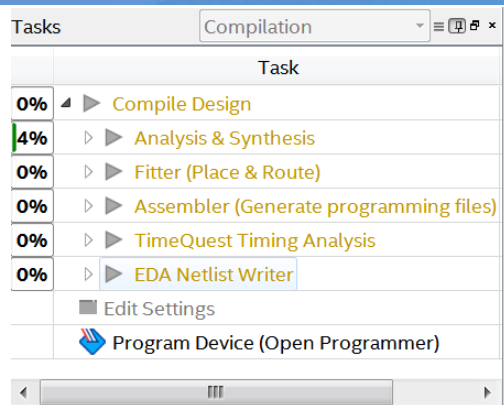
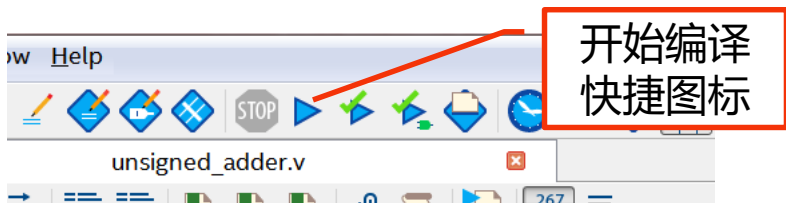
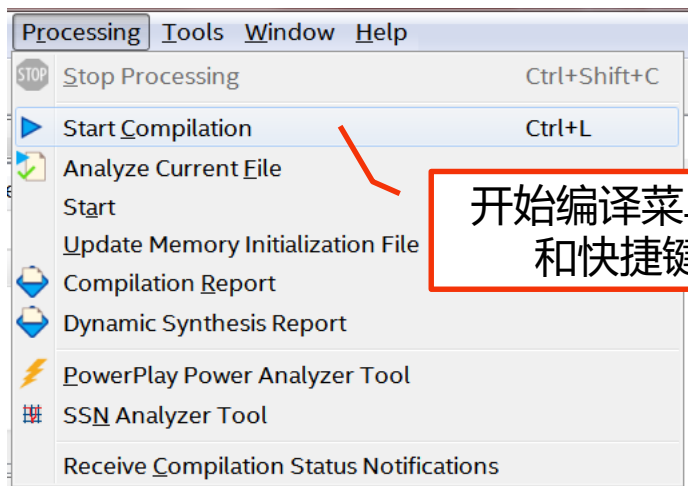
按模块名保存文件



设定当前文件为
顶层实体

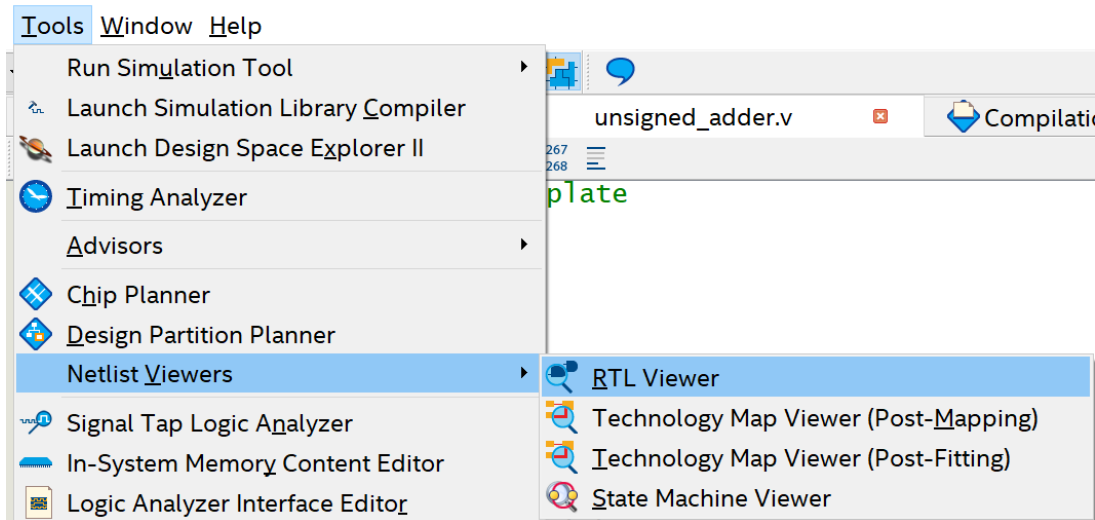
临时设定这个文件为顶层实体

Quartus Prime软件基本使用-程序编译

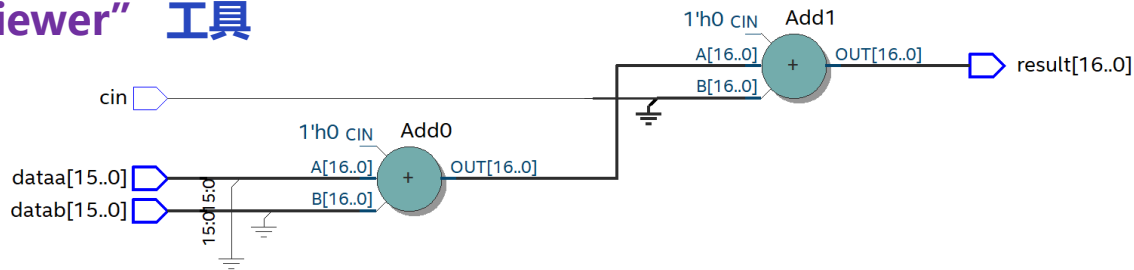


点击开始编译快捷图标或菜单项进行编译，可通过工作进度指示窗口了解编译进度

Quartus Prime软件基本使用-程序编译



点击“Tool”菜单下的“Netlist Viewers”
子菜单下的“RTL Viewer”工具



THANK YOU !



重慶大學
CHONGQING UNIVERSITY



重慶大學

CHONGQING UNIVERSITY

Verilog程序设计快速入门

-调用ModelSim仿真方法

林英撑

调用ModelSim仿真方法-仿真原理解析

什么是仿真？

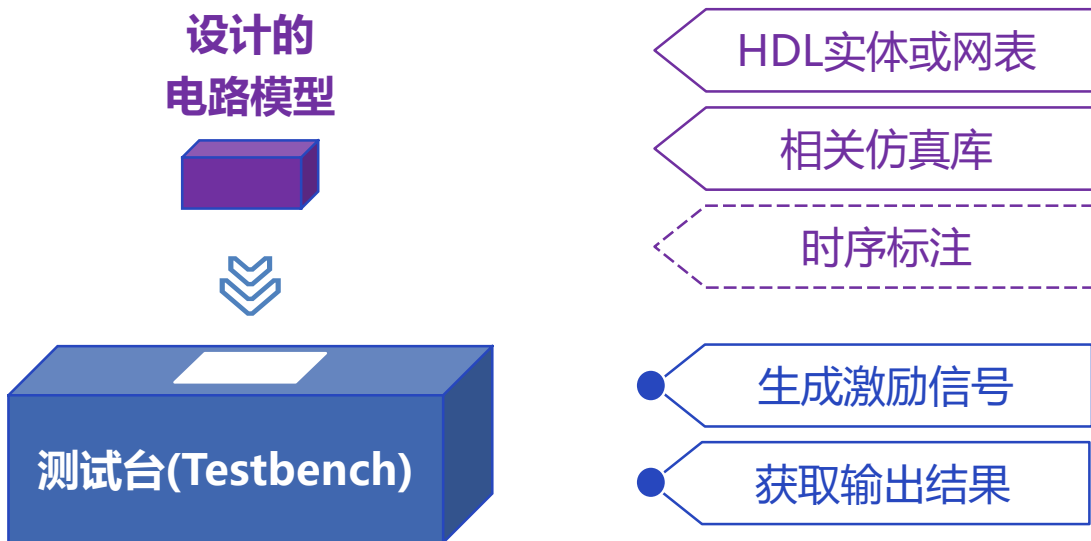
仿真是为了验证所建立模型的正确性，通过向模型加入系列的激励，观察输出结果是否符合期望实现。



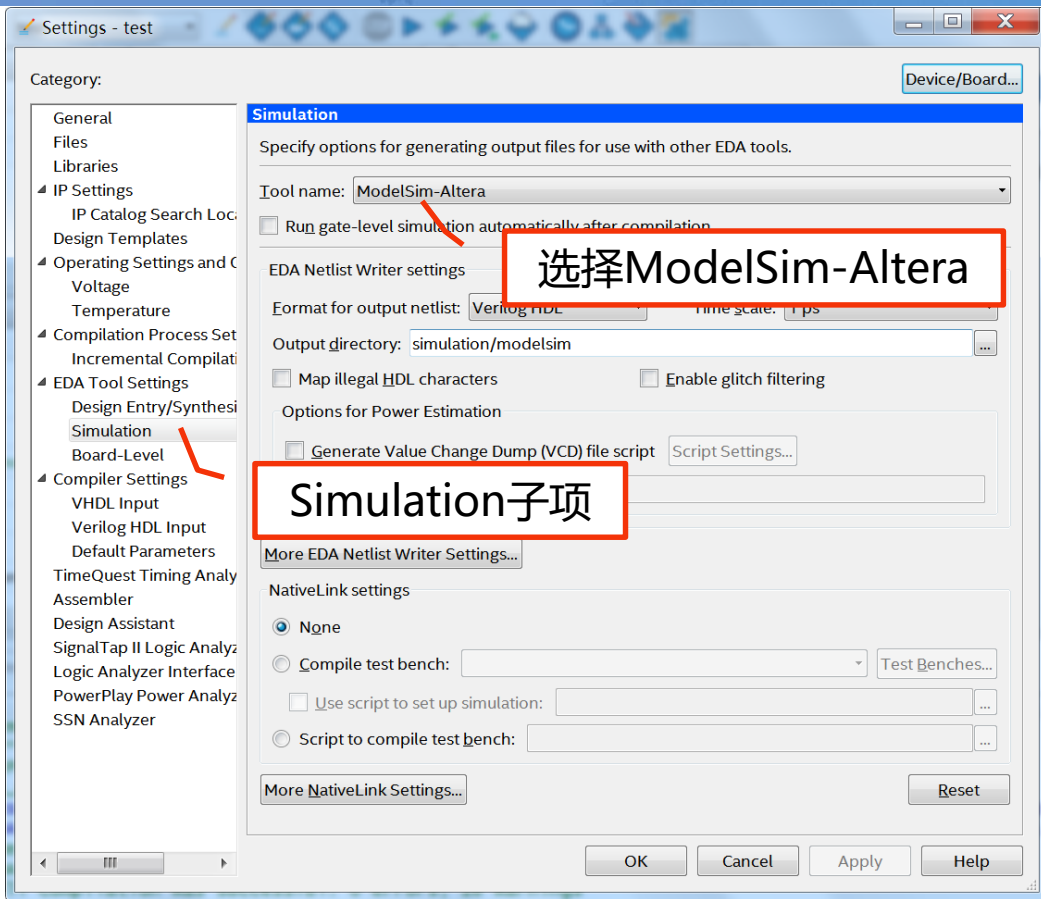
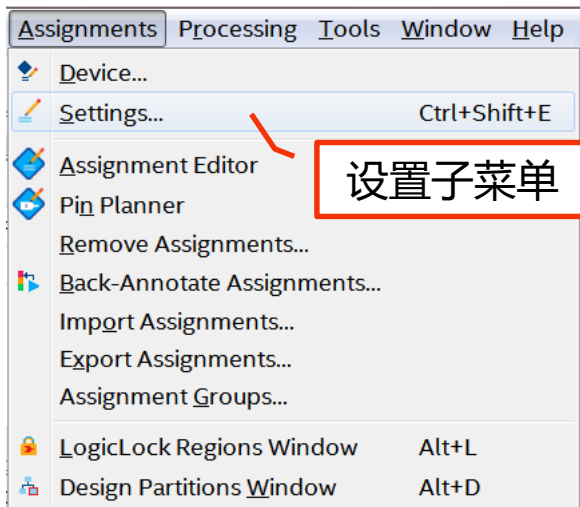
调用ModelSim仿真方法-仿真原理解析

Quartus Prime中的三种仿真：

- RTL仿真，仅用于检查代码逻辑正确性；
- 门级功能仿真，不考虑时延，验证电路逻辑正确性；
- 门级时序仿真，考虑时延，更接近真实情况。

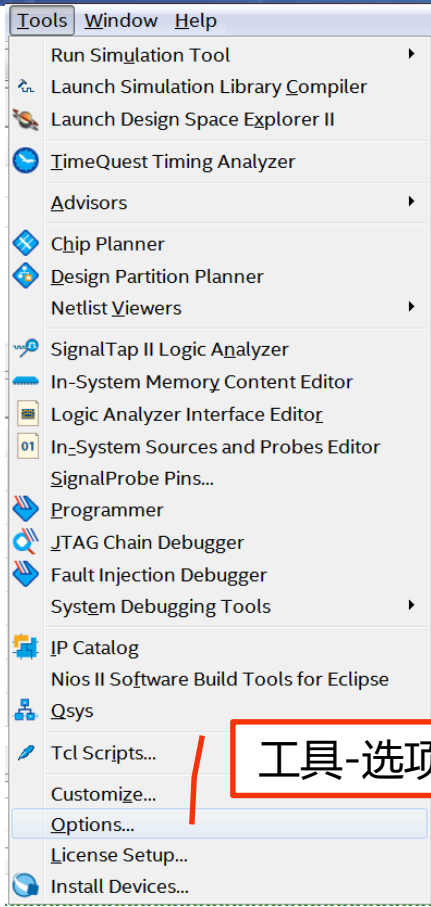


调用ModelSim仿真方法-软件设置

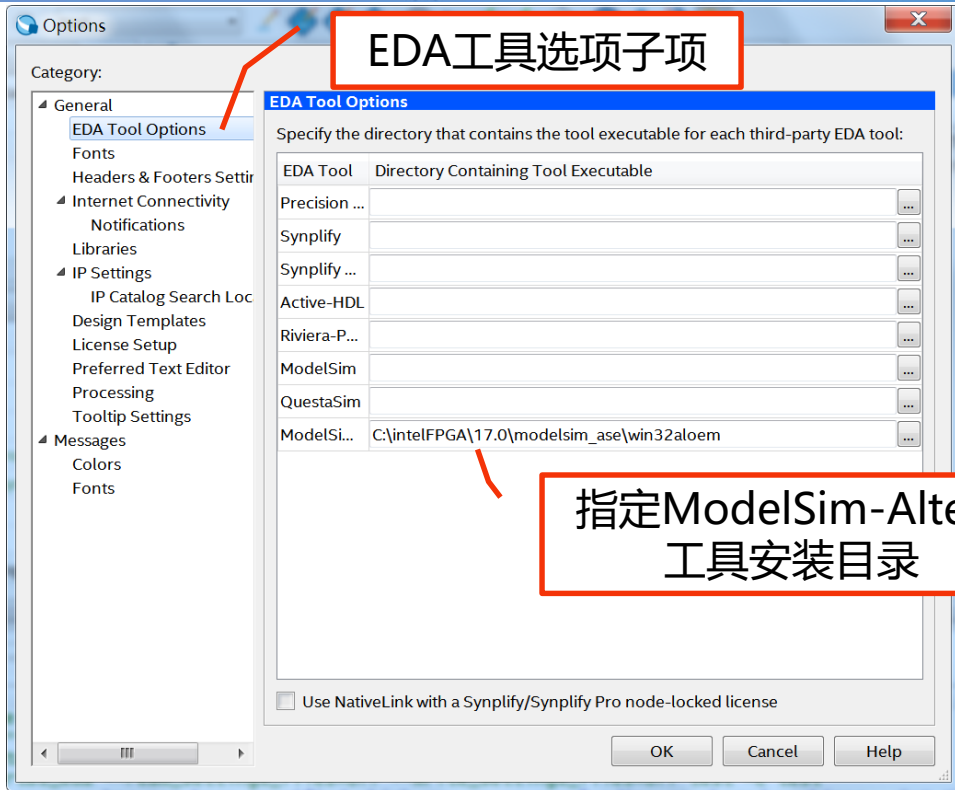


点击“Assignments”菜单下的
“Settings...”子菜单进入设置
页面，选择“Simulation”子项
指定仿真工具
“ModelSim-Altera”

调用ModelSim仿真方法-软件设置

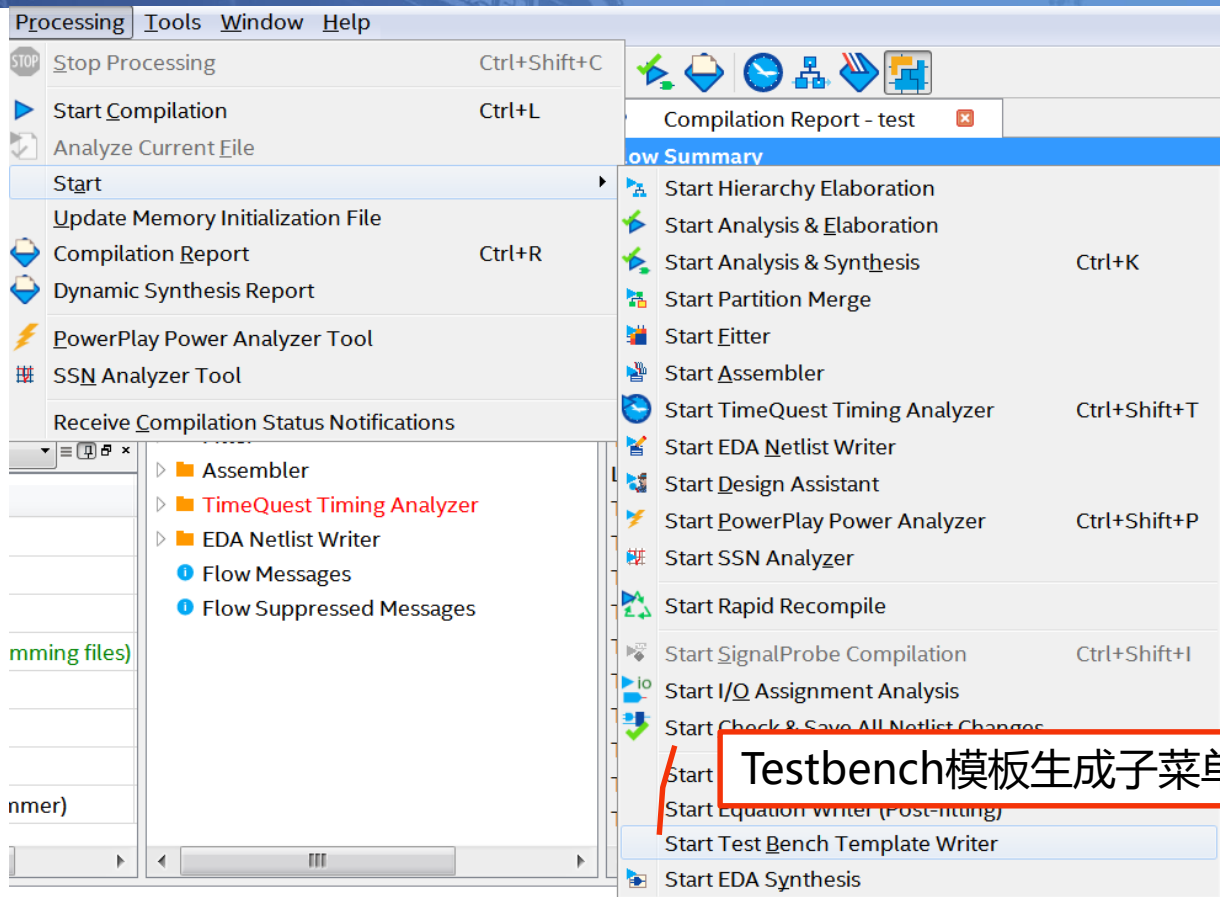


工具-选项子菜单



点击“Tools”菜单下的“Options...”子菜单进入设置页面，选择“EDA Tool Options”子项指定仿真工具“ModelSim-Altera”的路径

调用ModelSim仿真方法-Testbench模板生成



点击“Processing”菜单下的“Start”子菜单下的“Start Test Bench Template Writer”子菜单生成Testbench模板
(在工程目录下的“simulation\modelsim”文件夹中)

Testbench模板生成子菜单

调用ModelSim仿真方法-Testbench理解与填写

MP (C:) ▸ DESIGN ▸ test ▸ simulation ▸ modelsim

夹

| 名称 | 类型 | 大小 |
|-----------------------|--------|-------|
| test.sft | SFT 文件 | 1 KB |
| test.vo | VO 文件 | 40 KB |
| test_modelsim.xrf | XRF 文件 | 5 KB |
| unsigned_adder.vt | VT 文件 | 3 KB |
| unsigned_adder.vt.bak | BAK 文件 | 4 KB |

打开工程目录下的
“simulation\modelsim”
文件夹中扩展名为.vt的
Testbench模板文件)

```
28 `timescale 1 ps/ 1 ps
29 module unsigned_adder_vlg_tst();
30 // constants
31 reg eachvec;
32 // test vector input registers
33 reg cin;
34 reg [15:0] dataa;
35 reg [15:0] datab;
36 // wires
37 wire [16:0] result;
38 // assign statements (if any)
39 unsigned_adder i1 (
40 // port map - connection between master ports and signals/registers
41     .cin(cin),
42     .dataa(dataa),
43     .datab(datab),
44     .result(result));
45 initial
46 begin
47 // code that executes only once
48 // insert code here --> begin
49 // --> end
50 $display("Running testbench");
51 end
52 always
53 // optional sensitivity list
54 // @(event1 or event2 or .... eventn)
55 begin
56 // code executes for every event on sensitivity list
57 // insert code here --> begin
58 @eachvec;
59 // --> end
60 end
61 endmodule
```

时间单位/时间精度

调用设计的加法器

调用ModelSim仿真方法-Testbench理解与填写

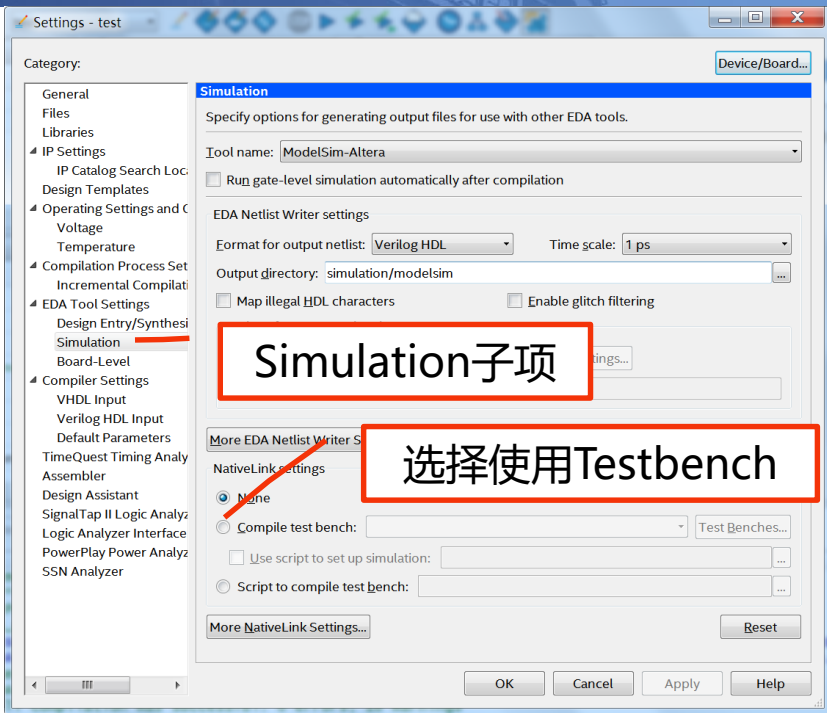
```
initial
begin
// code that executes only once
// insert code here --> begin
#0  cin=1'b0; dataa=16'h0; datab=16'h0;
#10 cin=1'b1; dataa=16'h2; datab=16'h1;
#10 cin=1'b0; dataa=16'h1; datab=16'h3;
#10 cin=1'b1; dataa=16'h3; datab=16'h3;
#10 cin=1'b0; dataa=16'h0; datab=16'h0;
// --> end
$display("Running testbench");
end
```

给定激励信号初始值

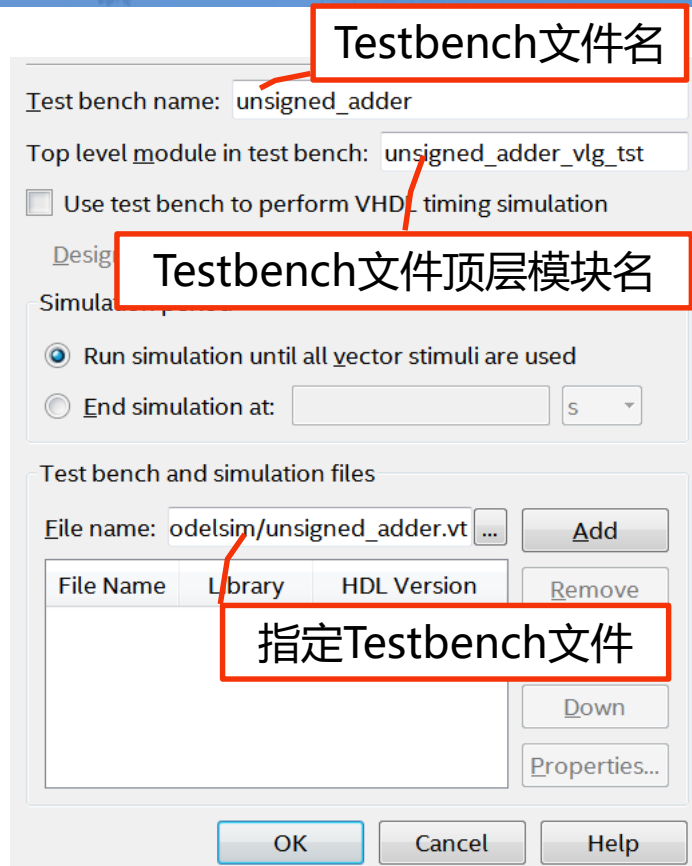
设定10个时间单位后的
输入值

Test Bench模板文件中插
入激励信号生成代码

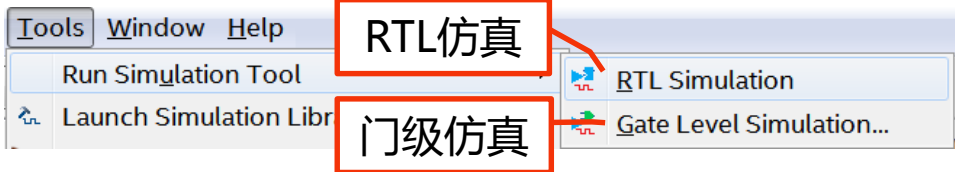
调用ModelSim仿真方法-Testbench文件设置



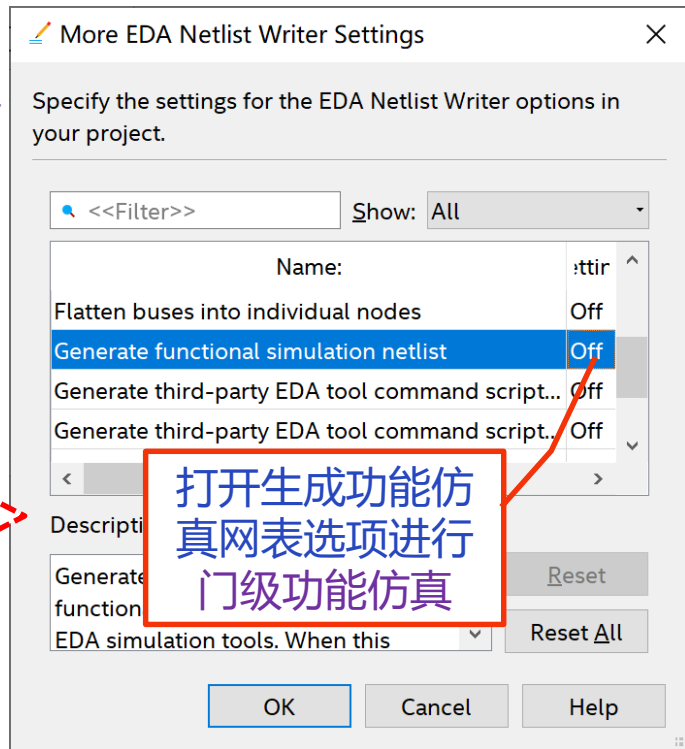
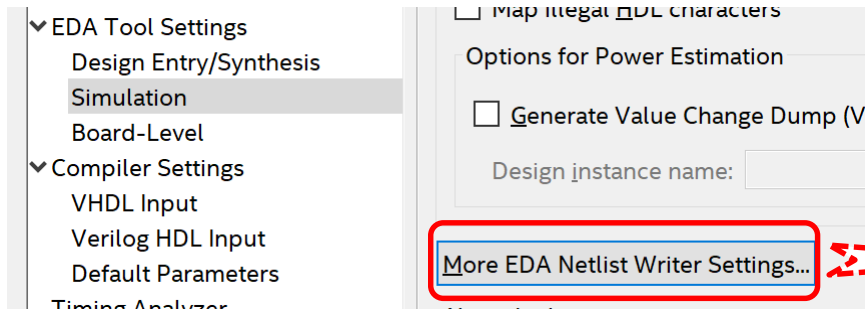
点击“Assignments”菜单下的“Settings...”子菜单进入设置页面，选择“Simulation”子项，选择使用Testbench



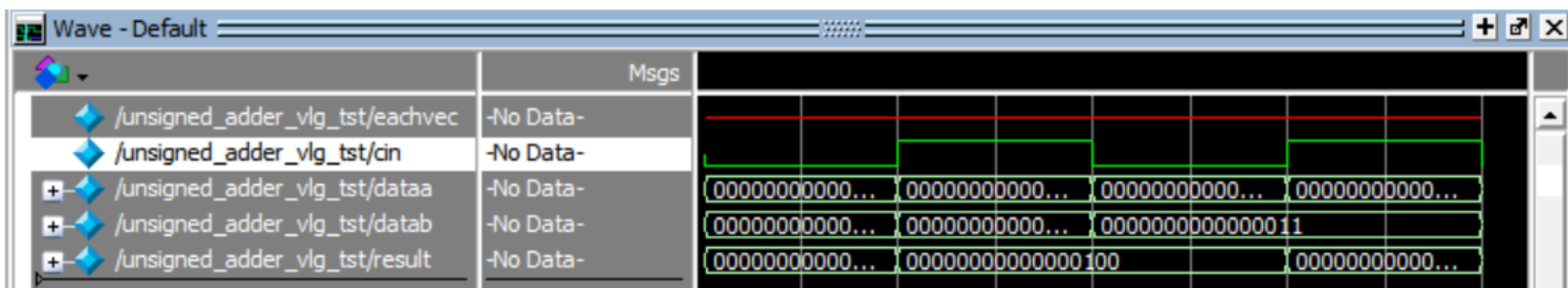
调用ModelSim仿真方法-仿真及结果查看



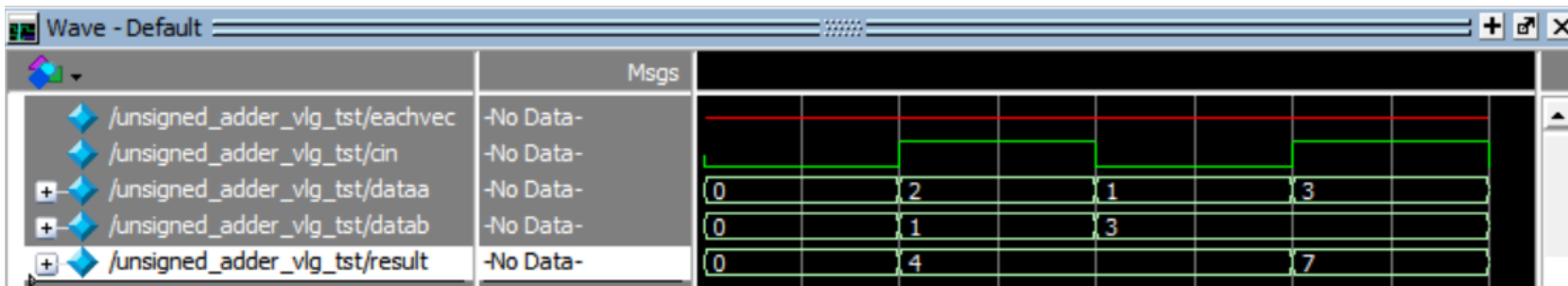
可通过点击“Tools”菜单下的“Run Simulation Tool”子菜单下的两个子菜单分别进行RTL仿真和门级仿真。



调用ModelSim仿真方法-仿真及结果查看



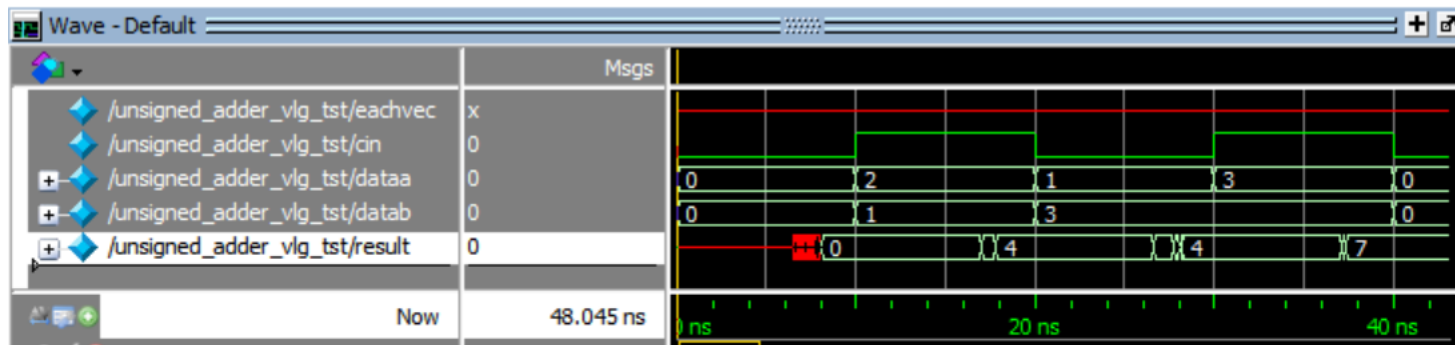
RTL仿真结果（二进制格式显示）



RTL仿真结果（十进制格式显示）

（可通过双击或右键点击信号名修改信号的显示形式）

调用ModelSim仿真方法-仿真及结果查看



门级时序仿真结果（十进制格式显示）

（只支持以下系列：Arria II GX/GZ, Cyclone IV, MAXII, MAX V, Stratix IV）

```
26 //  
27  
28 `timescale 1 ns/ 1 ns
```

（为什么？）

门级时序仿真前先修改Testbench
中的时间单位和时间精度

THANK YOU !



重慶大學
CHONGQING UNIVERSITY